

(43)公開日 平成4年(1992)9月28日

## 技術表示箇所

B  
A

(74) 代理人 弁理士 西野 卓嗣

[illegible]

1

2

## 【特許請求の範囲】

【請求項1】 送信側機器から送出される所定フォーマットの伝送信号を受信側機器で受け、この伝送信号を上記受信側機器に対応するフォーマットに復調すると共に、上記伝送信号に同期した基本クロックを発生するインターフェイス回路において、上記伝送信号を受信してビットの切り換えのタイミングに従う第1のクロックを発生する受信手段と、上記第1のクロックを電圧制御発振器が発振する第2のクロックと位相比較し、位相差に応じて上記電圧制御発振器の発振周波数を制御する位相ロックループと、上記伝送信号を上記第2のクロックに基づいて受信側機器に対応するフォーマットに復調する復調手段と、上記受信手段が上記伝送信号を受信してから上記伝送信号に上記第2のクロックが同期するまでの期間を計測する計測手段と、を備え、上記計測手段が上記伝送信号の受信から上記第2のクロックの同期までの期間の計測過程で、その計測値が一定値に達したときに上記位相ロックループの位相比較器及び電圧制御発振器を初期設定することを特徴とするインターフェイス回路。

【請求項2】 上記復調手段で復調された復調信号の誤りを判定し、所定の期間にわたって誤りが無いときに、上記伝送信号に上記第2のクロックが同期したと判定することを特徴とする請求項1記載のインターフェイス回路。

【請求項3】 上記位相ロックループにおける位相比較出力が特定のレベルの範囲内になったときに、上記伝送信号に上記第2のクロックが同期したと判定することを特徴とする請求項1記載のインターフェイス回路。

【請求項4】 与えられる制御電圧に応じた周波数のクロックを発生する電圧制御発振器と、この電圧制御発振器の発振するクロックと一定周期の基準クロックとの位相を比較する位相比較器と、上記位相比較器の比較出力を受けて上記電圧制御発振器に制御電圧として与えるローパスフィルタと、上記位相比較器及び電圧制御発振器の立ち上がりから上記基準クロックに上記電圧制御発振器の発振するクロックが同期するまでの期間を計測する計測手段と、を備え、上記計測手段が立ち上がりから上記第2の信号の同期までの期間の計測過程で、その計測値が一定値に達したときに上記位相比較器及び上記電圧制御発振器を再度初期設定することを特徴とする位相ロックループ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、複数の機器間でデータの伝送を行う場合に、受信側で伝送信号を受けるインターフェイス回路に関する。

## 【0002】

【従来の技術】 コンパクトディスクプレーヤやデジタルオーディオテープレコーダ等のデジタルオーディオ機器

間において、所定のフォーマットに従うデータ伝送を行う場合、伝送信号の受信側では、各機器を伝送信号に同期させると共に、受信した伝送信号を各機器に対応するフォーマットに復調するように構成される。この構成により、それぞれの機器内で用いられる信号のフォーマットが異なる場合でも、互いにデータの受け渡しが可能となる。

【0003】 受信側の機器で伝送信号を受けるインターフェイス回路を図5に示す。送信側の機器から送られてくる伝送信号D<sub>TX</sub>は、まず受信回路1に取り込まれ、この受信回路1から復調回路2に入力される。伝送信号D<sub>TX</sub>は、例えばEIAJ（日本電子機械工業会）のフォーマットに従い、図6に示すように4ビットの固定信号部分及び28ビットのデータ部分で構成され、これらの32ビットの信号が連続している。受信回路1においては、パイフェーズ符号に変調された伝送信号D<sub>TX</sub>のデータ部分のビットの切り換えが検波され、その切り換えのタイミングに一致したクロックDCKが取り出される。このクロックDCKは、位相ロックループ3に入力され、クロックDCKに同期した基準クロックBCKを発生するように構成される。位相ロックループ3は、電圧制御発振器、位相比較器及びローパスフィルタからなり、位相比較器の出力に応じて発振周波数が制御される電圧制御発振器の出力が、基準クロックBCKとして受信回路1及び復調回路2に供給される。そして、復調回路2は、伝送信号D<sub>TX</sub>に同期した基準クロックBCKに基づき、伝送信号D<sub>TX</sub>に対して各ビットのパリティチェックやオーディオ機器に対応するフォーマットへの復調等の処理を施し、伝送信号D<sub>TX</sub>に同期した所望のフォーマットのオーディオ信号ADSを次段の回路に出力する。

【0004】 逆に、送信側の機器では、そのオーディオ機器に対応するフォーマットから各オーディオ機器に共通の所定のフォーマットに変調した後に伝送ラインに送出するように構成される。従って、このようなインターフェイス回路によれば、受信側機器において、伝送信号D<sub>TX</sub>に同期し、且つ各オーディオ機器に対応するフォーマットのオーディオ信号ADSを得られることになるため、オーディオ機器間で信号のフォーマットが異なっている場合でも、信号の伝送が可能になる。

## 【0005】

【発明が解決しようとする課題】 上述のようなデジタルオーディオ用のインターフェイス回路においては、伝送信号D<sub>TX</sub>の周波数が広い範囲、例えば先のEIAJのフォーマットの場合、32KHz～48KHzの範囲で切り換えられるため、周波数の切り換え時点で位相ロックループ3の同期が外れることになる。この場合、位相ロックループ3においては、位相比較器の出力を電圧制御発振器に帰還する帰還路の時定数を小さく設定して位相ロックループ3の立ち上がりを速くし、インターフェイ

3

ス回路が伝送信号D<sub>TX</sub>の周波数の切り換えに追従できるように構成される。

【0006】しかしながら、位相ロックループ3の帰還路の時定数が小さくなると、電圧制御発振器の発振が不安定になり、位相ロックループ3から得られる基準クロックBCKにジッタが発生することになる。このため、帰還路の時定数を必要以上に小さくすることができず、伝送信号D<sub>TX</sub>の周波数が大きく変更された場合には、基準クロックBCKが伝送信号D<sub>TX</sub>に同期するまでに長い期間を要することになる。場合によっては、基準クロックBCKの1クロックパルスがクロックDCKに偶然に一致して基準クロックBCKの周波数が伝送信号D<sub>TX</sub>と異なる値で固定され、位相ロックループ3がロックしなくなる虞れが生じる。

【0007】そこで本発明は、伝送信号D<sub>TX</sub>の周波数が変更されたときに、位相ロックループ3がロックしなくなるのを防止し、伝送信号D<sub>TX</sub>の受信ができなくなることを無くすことを目的とする。

【0008】

【課題を解決するための手段】本発明は、上述の課題を解決するためになされたもので、その特徴とするところは、送信側機器から送出される所定フォーマットの伝送信号を受信側機器で受け、この伝送信号を上記受信側機器に対応するフォーマットに復調すると共に、上記伝送信号に同期した基本クロックを発生するインターフェイス回路において、上記伝送信号を受信してビットの切り換わりのタイミングに従う第1のクロックを発生する受信手段と、上記第1のクロックを電圧制御発振器が発振する第2のクロックと位相比較し、位相差に応じて上記電圧制御発振器の発振周波数を制御する位相ロックループと、上記伝送信号を上記第2のクロックに基づいて受信側機器に対応するフォーマットに復調する復調手段と、上記受信手段が上記伝送信号を受信してから上記伝送信号に上記第2のクロックが同期するまでの期間を計測する計測手段と、を備え、上記計測手段が上記伝送信号の受信から上記第2のクロックの同期までの期間の計測過程で、その計測値が一定値に達したときに上記位相ロックループの位相比較器及び電圧制御発振器を再度初期設定することにある。

【0009】

【作用】本発明によれば、位相ロックループの電圧制御発振器が発振する第2のクロックが、所定の期間を経過しても伝送信号D<sub>TX</sub>から得られる第1のクロックに同期しなかった場合に、位相比較器及び電圧制御発振器が初期設定され、再度第2のクロックが第1のクロックと位相比較されて第2のクロックの周波数が調整される。

【0010】

【実施例】本発明の実施例を図面に従って説明する。本発明のインターフェイス回路の構成を図1に示す。この図において、受信回路1及び復調回路2は、図5と同様

4

に、送信側機器から送られる伝送信号D<sub>TX</sub>を受信回路1に取り込み、受信回路1から復調回路2に伝送信号D<sub>TX</sub>を与えるように構成される。

【0011】本発明の特徴とするところは、受信回路1が伝送信号D<sub>TX</sub>を受信してから特定の期間を経過しても、基準クロックBCKが伝送信号D<sub>TX</sub>に同期しなかった場合に、位相ロックループ10をリセットすることにある。即ち、位相ロックループ10は、クロックDCKと基準クロックBCKとの位相を比較する位相比較器11、位相比較器11の出力PDを受けるローパスフィルタ12及びローパスフィルタ12が出力する制御電圧V<sub>c</sub>に応じて発振周波数が変化する電圧制御発振器13からなり、位相ロックループ10が特定期間内にロックしなかったことが検知されると、位相比較器11及び電圧制御発振器13がリセットされて再び基準クロックBCKとクロックDCKとの位相比較を開始する用に構成される。

【0012】復調回路2には、復調処理が正常に行われるか否かの判定により位相ロックループ10のロックを検知するロック検知部14が設けられ、このロック検知部14の出力LDに基づいてPLL制御回路15で位相ロックループ10がロックするまでの期間が計測される。このロック検知部11は、復調回路2で行われるパリティチェックの結果に数回連続してエラーが生じなかった場合に位相ロックループ10がロックしたと判定するように構成される。これは、位相ロックループ10のロック判定の誤りを防止するため、基準クロックBCKの1クロックパルスが偶然にクロックDCKに一致した場合は、位相ロックループ10がロックしたと判定されない。

【0013】また、PLL制御回路15は、図2に示すように、ロック検知部14の出力LDでリセットされて基準クロックBCKでカウントアップされるカウンタ16と、このカウンタ16の出力が特定の値に達したことを判定するデコーダ17からなり、ロック検知部14が位相ロックループ10のロックを検知するまでは、カウンタ16が基準クロックBCKをカウントする用に構成される。そして、カウンタ16のカウント値が特定の値に達すると、即ち特定のクロック期間が経過した後に、デコーダ17がリセットパルスRSPを位相ロックループ10の位相比較器11及び電圧制御発振器13に与える。従って、デコーダ17に設定される値に対応する期間が経過しても位相ロックループ10のロックが確認されなかった場合には、位相ロックループ10が初期設定されて、基準クロックBCKの伝送信号D<sub>TX</sub>に対する位相の制御が再度行われることになる。

【0014】以上の構成によれば、基準クロックBCKが伝送信号D<sub>TX</sub>に同期しない場合でも、特定の期間を経過した時点で位相ロックループ10がリセットされるため、基準クロックBCKの1クロックパルスがクロック

5

DCKに偶然に一致して基準クロックBCKが伝送信号D<sub>TX</sub>とは異なる周波数で固定されることがなくなる。なお、位相ロックループ10がロックしたのを判定する方法としては、復調回路2でのパリティチェックエラーを検知する方法の他に、位相比較器12の出力や、ローパスフィルタ13の出力から判定する方法も可能である。例えば、ローパスフィルタ13の出力レベル、即ち、制御電圧V<sub>c</sub>のレベルを判定するレベル判定回路を設けて、制御電圧V<sub>c</sub>が所定の範囲に入ったときに位相ロックループ10がロックしたと判定するように構成する。あるいは、位相比較器11の出力PDの立ち上がり及び立ち下がりを検出し、位相比較器11から電源電位または接地電位が出力されている期間を計測して位相ロックループ10のロックを判定する用に構成することも可能である。

【0015】

【発明の効果】本発明によれば、位相ロックループが伝送信号に同期しない状態で固定されることがなくなり、伝送信号を受信できなくなるのを防止することができ

6

る。従って、インターフェイス回路の立ち上がりを確実にすることができ、信頼性を向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】PLL制御回路の回路図である。

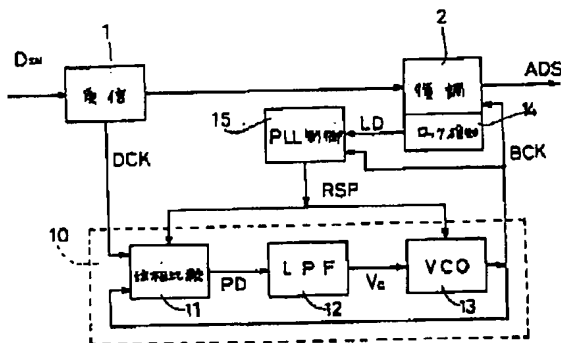
【図3】従来のインターフェイス回路のブロック図である。

【図4】伝送信号のフォーマットを示す図である。

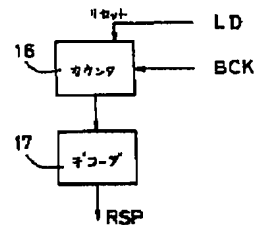
【符号の説明】

- 1 受信回路
- 2 復調回路
- 3、10 位相ロックループ
- 11 位相比較器
- 12 ローパスフィルタ
- 13 電圧制御発振器
- 14 ロック検知部
- 15 PLL制御回路
- 16 カウンタ
- 17 デコーダ

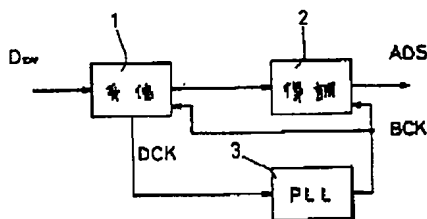
【図1】



【図2】



【図3】



【図4】

